فصلنامه پژوهش در علوم، مهندسی و فناوری
دوره ۳، شماره ۱، بهار ۱۳۹۶
صفحات ۶۵-۷۶
ISSN: 2476-5082
www.uctjournals.com

طراحی و شبیه سازی مبدل دیجیتال پرسرعت با دقت ۸ بیت در پروسه ۰,۳۵ میکرون

دکتر مهران ابدالی[۱] و مصطفی رضائی زاده روکرد[۲]*

۱-استاد یار ، دکتری برق گرایش الکترونیک، دانشگاه علوم تحقیقات تهران، ایران
۲-دانشجو کارشناسی ارشد، مهندسی برق الکترونیک ، دانشگاه علوم تحقیقات سیرجان، ایران
* نویسنده مسئول، ایمیل: mostafa.rezaeizadeh1359@gmail.com

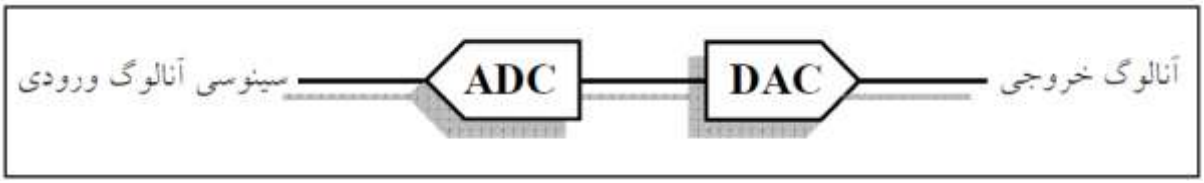
چکیده

در این مقاله یک مبدل دیجیتال به آنالوگ بسیار پرسرعت، با دقت ۸ بیت و با قابلیت نمونه برداری حدود ۲,۸ میلیارد نمونه بر ثانیه طراحی و شبیه سازی می شود. در ابتدا ساختارهای مشهور مبدل دیجیتال به آنالوگ از قبیل مبدل تقسیم ولتاژ مقاومتی، مبدل تقسیم ولتاژ خازنی، مبدلهای دیجیتال به آنالوگ مبتنی بر هدایت جریان، مبدل باینری، مبدل دیجیتال به آنالوگ ترمومتر، ساختار معرفی می گردند. در ادامه برای رسیدن به سرعت مورد نظر ساختارهای R-2R تفکیک شده باینری-ترمومتر و نردبان مقاومتی مختلفی مورد ارزیابی قرار گرفته و بهترین آنها با ذکر دلایل مکفی انتخاب و پیاده سازی می شود. ساختارهای خط تولید، دوکاناله و سایر ساختارهای مشهور در حین این انتخاب معرفی شده و مزایا و معایب آنها مورد بررسی قرار می گیرد. عدم تطابق مقاومتها و نیز منابع جریان که در ساختار نردبان مقاوتی نقش تعیین کننده ای دارند به تفصیل مورد تجزیه و تحلیل قرار می گیرند. شبیه سازی ها با استفاده از مدل CMOS کمپانی TSMC در پروسه ۰,۳۵میکرون توسط نرم افزار HSPICE انجام شده است. تاثیر ناهمخوانیها در گوشه ها و اثر دما در کلیه شبیه سازیها لحاظ شده است. نتایج شبیه سازی پس از Layout بیانگر عملکرد قابل قبول مبدل دیجیتال به آنالوگ ۸ بیت با سرعت حدود ۲,۸، با نسبت سیگنال به نویز ۴۹,۴ دسی بل و مقدار SFDR در حدود ۶۳ دسی بل و توان مصرفی حداکثر ۲۱۸میلی وات با ولتاژ تغذیه ۳. ۳ولت می باشد. مساحت موثر تراشه طراحی شده حدودا ۰,۵۴ میلی متر مربع می باشد. مشخصات مبدل دیجیتال به آنالوگ طراحی شده در مقایسه با کارهای مشابه قبلی مورد بحث قرار گرفته و تفاوت چشمگیر آن ارایه می گردد.

واژه‌های کلیدی: مبدل دیجیتال، آنالوگ، کدترمومتر، DAC هدایت جریان، DAC تفکیک شده، دینامیکی بدون خطا

مقدمه

مبدلهای داده[1] مبدل دیجیتال به آنالوگ و آنالوگ به دیجیتال، مدارهای واسطه ای هستند که برای ایجاد ارتباط بین دو محدوده آنالوگ و دیجیتال استفاده می شوند. مبدل های داده نه تنها برای تبدیل صوتی در میکروفن یا بلندگو استفاده می شوند، بلکه در تبدیلات صوتی در دوربین یا صفحه نمایش، در انتقال اطلاعات در کامپیوتر یا پردازشگرهای سیگنال دیجیتال[2] نیز کاربرد دارند. شکل ۱ ارتباط بین دنیای دیجیتال و آنالوگ را در شمایی ساده نشان می دهد:



شکل ۱: ارتباط بین ADC و DAC

امروزه نیاز به مبدل های داده در تمامی جنبه های زندگی بر کسی پوشیده نیست. مبدل های دیجیتال به آنالوگ بخش مهمی از این مبدل ها می باشند که کاربردهای فراوانی در اغلب مدارات صوتی[3] و تصویری[4] دارد. تا قبل از دو دهه گذشته پیش بینی می شد که نیاز به مدارهای آنالوگ از بین خواهد رفت در صورتی که اکنون در طراحی مبدل های دیجیتال به آنالوگ و آنالوگ به دیجیتال قسمت مهم این مدارات فیلترهای عدم تداخل و بازسازی می باشد و همچنین در اکثر بلوک های مدارات مربوط به این مبدل ها، قسمت های آنالوگ جهت بهینه کردن پارامترهای آنها به چشم می خورد. اصولا طراحی و تست مدارات آنالوگ یک هنر تلقی می شود بر عکس طراحی مدار های دیجیتال دارای روش های سیستماتیک می باشد. گذشته از این تست این مدارهای آنالوگ معمولا نیاز به زمان های بیش از یک روز و حتی یک ماه دارد که البته به نوع مدار و مشخصات الکتریکی مدار بستگی دارد. در این تحقیق برای تست پارامترهای دینامیکی مبدل نیاز به طراحی یک مبدل ایده آل آنالوگ به دیجیتال نیز بود. با توجه به اینکه مدارهای مبدل داده در ارتباطات پرسرعت نقش مهمی ایفا می کنند، نیاز به طراحی این مبدل ها در سرعت‌های بالا درحین حفظ دقت کافی بسیار پراهمیت است. در این پایان نامه هدف، طراحی و پیاده سازی یک مبدل دیجیتال به آنالوگ

بسیار پرسرعت با قابلیت نمونه برداری حدود۲,۸ میلیارد نمونه در ثانیه، با دقت ۸ بیت می باشد.

مروری بر کارهای گذشته

- **طراحی یک DAC ۶ بیتی با سرعت نمونه برداری1. 25 GS/s برای WPAN**

برای رسیدن به مصرف توان کم و یک مساحت قالب کوچک از ساختار هدایت جریان تفکیک شده ۴+۲ برای طراحی DAC استفاده می شود. یک مدار حذف گلیچ ۵ اصلی- فرعی ۶ و منابع جریان کسکود شده برای بهبود عملکرد دینامیکی DAC در آن به کار رفته است و در تکنولوژی CMOS ۰,۱۸ میکرون اجرا شده است. دارای SFDR، ۴۹,۴ دسی بل در سیگنال خروجی MHz ۵۵۱ می باشد. DAC اولیه برای سیگنال خروجی سینوسی نایکوئیست در نرخ نمونه برداری GS/s ۱,۲۵ با منبع ولتاژ ۱,۸ ولت مقدار توان ۶ میلی وات مصرف می کند. مساحت فعال تراشه mm^2 ۰,۰۵۷۶ می باشد(جونگ و دیگران ۲۰۰۸)[5].

-
-

1-Data Converter
2-Digital Signal Processor - DSP
3-audio
4-video
1-Jung et al [41]
2-Jung et al [43]

- **طراحی یک DAC با دقت ۶ بیت و سرعت 2. 704 GS/s برای فرستنده گیرنده های DS-CDMA UWB**

DAC پیشنهاد شده با ساختار هدایت جریان تفکیک شده ۲+۴ برای فرکانس های نمونه برداری بالا طراحی شده است. برای گلیچ های کوچک، مدار حذف گلیچ بهینه شده برای انتخاب منابع جریان بکار رفته است. INL اندازه گیری شده LSB ۰,۰۸۱- و DNL بدست آمده در این طراحی LSB ۰,۰۰۵- ثبت شده است. DAC در تکنولوژی ۰,۱۳ میکرون CMOS مقدار SFDR را ۴۱ دسی بل در فرکانس سیگنال MHz ۳۰۰ نشان می دهد. DAC اصلی برای سیگنال خروجی سینوسی نایکوئیست در نرخ نمونه برداری GS/s ۲,۷۰۴ مقدار توان ۲۸ میلی وات مصرف می کند. مساحت فعال تراشه mm^2 ۰,۷۶ می باشد(جونگ و دیگران ۲۰۰۶) [2] .

- **DAC هدایت جریان ۱۰ بیتی با سرعت نمونه برداری MS/s ۱۰۰ در پروسه ۰,۳۵ میکرون تکنولوژی CMOS**

این DAC با ساختار تفکیک شده برای کاهش پیچیدگی مدار و مساحت ماتریس اجرا شده است. DAC ۱۰ بیتی در تکنولوژی CMOS در دو بلوک، یکی ماتریس سلولی یکانی (یکی یکی) برای ۶ بیت پرارزش و یکی آرایه وزن دار باینری برای ۴ بیت کم ارزش، برای ساخت در یک پروسه ۰,۳۵ میکرون طراحی شده است. برای حذف تجمع خطا در سلول های جریان، یک دنباله سوئیچ متقارن در ماتریس سلول یکانی برای ۶ بیت پرارزش بکار رفته است. برای تضمین عملکرد سرعت بالا، یک مدار رمزگشا با یک طبقه لچ و یک منبع جریان کسکود ایجاد شده است. شبیه سازی ها نشان می دهد که حداکثر مصرف توان DAC ۱۰ بیتی با فرکانس نمونه برداریMHz ۱۰۰ برابر ۷۴mW می باشد(کوی و دیگران ۲۰۰۹) [۶].

- **طراحی DAC هدایت جریان ۱۲ بیتی با طرح سوئیچینگ اغماض کننده ی خطای شیب دو بعدی**

یک DAC با دقت ذاتی ۱۲ بیت در تکنولوژی ۰,۱۸ میکرون CMOS ساخته می شود. این طراحی بر اساس ساختار تفکیک شده هدایت جریان ۶+۶ است و نیازی به کالیبراسیون ندارد. با تقسیم یک بیت پرارزش منبع جریان به ۱۶ عنصر قرار گرفته در ۱۶ ناحیه جدا از آرایه، خطاهای شیب خطی و خطاهای مرتبه ۲ بطور موثری میانگین گیری و حذف می شوند. DNL۷ و INL۸ اندازه گیری شده به ترتیبLSB ۰,۴۲ و LSB ۰,۳۹ می باشد. و SFDR بدست آمده در سیگنال خروجی MHz ۵۲۰ با فرکانس کلاکMHz ۱۰۰ برابر ۷۳,۳ دسی بل است. برای دقت ۱۲ بیت سرعت این DAC در حدود MS/s ۱۰۰ است. تراشه با منبع ولتاژ تک ۱,۸ولت و مساحت قالب هسته mm^2 ۰,۲۸ کار می کند(هائو و دیگران ۲۰۱۰) [۷].

- **DAC هدایت جریان۹ وزن دار باینری با دقت ۱۰ بیت و سرعت MS/s۲۵۰**

اثر تفکیک را روی مبدل های دیجیتال به آنالوگ هدایت جریان مطالعه می کند. تفکیک داده شاید برای بهبود رفتار دینامیکی مبدل بکار رود ولی هزینه ای در بر دارد یک روش برای کاهش درجه تفکیک داده شده است. تراشه ارائه شده، یک DAC هدایت جریان ۱۰ بیتی وزن دار باینری که دارای SFDR بزرگتر از ۶۰ دسی بل در سرعت MS/s ۲۵۰ برای DC به نایکوئیست است،می باشد. در فرکانس سیگنال MHz ۶۲,۵ و سرعت MS/s ۲۵۰ در حد ۹ بیت یکی یکی و ۱ بیت وزن دار باینری بکار می گیریم. در این سنجش SFDR مقدار ۶۰ دسی بل بدست می آید که نشان می دهد ماهیت باینری مبدل، SFDR را محدود نمی کند. این تراشه ۴ میلی وات از دو تغذیه ۱,۵و ۱,۸ ولتی بعلاوه جریان های بار دریافت می کند. مساحت مؤثر کمتر از mm^2 ۰,۳۵ در یک استاندارد ۱-پلی-۵-فلز ۰,۱۸ میکرون V ۱,۸ در پروسه CMOS می باشد. INL و DNL کمتر از LSB ۰,۱ هستند(دویوجل و دیگران ۲۰۰۶) [۸].

- **DAC هدایت جریان ۱۱ بیتی سرعت بالا**

یک DAC هدایت جریان برای سیستم های تصویری دیجیتال ارائه شده است. با آنالیز فاکتورهایی که باعث خراب شدن عملکرد دینامیکی DAC هدایت جریان می شوند، این مقاله ثابت می کند که عملکرد درایور سوئیچ جریان و کارکتر فرکانس

1-Cui et al[47]
1-Hao et al[42]
2-Deveugele et al[44]

امپدانس خروجی منابع جریان ، مهمترین محدودیت ها برای بهبود SFDR می باشند. در مشاهده ای از این مقاله ،یک سوئیچ جریان جدید درایو کننده مدار پیشنهاد شده است که وابسته به نکات کلیدی طراحی نقطه تقاطع پایین و همزمان شده با کلاک می باشد. چنانچه برای بهبود بیشتر عملکرد دینامیکی DAC ،یک امپدانس خروجی بالای منبع جریان با عملکرد فرکانسی خوب برای تکمیل ابزارهای DAC مورد استفاده قرار می گیرد. یک انحنای درجه دو جبران کننده مرجع ولتاژ شکاف باند براستی برای بایاس منبع جریان، ما را از بابت پایداری دمایی مطمئن می سازد.

هنگامی که فرکانس خروجی تمام رنج ۲۰ MHz، ۴۰ MHz، ۶۰ MHz و ۸۰ MHz در نرخ نمونه برداری ۲۰۰ MHzمی باشد، SFDR برای DAC، ۷۵,۳ db، ۷۰,۳ db، 62. 2 db، ۶۰,۷ db بترتیب بدست می آید(لو و دیگران ۲۰۱۲) [۹].

ملاحظات طراحی بخش آنالوگ :

برای طراحی بخش آنالوگ باید نکاتی را در نظر گرفت:

- ترانزیستورهای منابع جریان و ترانزیستورهای سوییچ ورودی باید به گونه ای انتخاب شوند که هر دو ترانزیستور منبع جریان در ناحیه فعال[۱۰] باشند.
- سوییننگ ورودی و ولتاژهای High و Low نیز باید به گونه ای انتخاب شوند که در هر لحظه یکی از ترانزیستورهای ورودی در ناحیه فعال و دیگری در قطع باشد.
- هر چه سوییچ های ورودی کوچکتر باشند ولتاژ دیجیتال از طریق خازن های کوچکتری به نود خروجی منتقل می شود و اثر Clock Feed Through کاهش می یابد. (اندرسون ۲۰۰۲) [۲].

مطابق شکل (۲) مطلوب است سوییچی که ولتاژ گیت آن افزایش می یابد(VHigh) و اعظم جریان را می کشد، به ناحیه فعال برود و سوییچ دیگر با دیدن ولتاژ کوچکتر (VLow) در گیت خود قطع شود. وقتی یک طرف High و طرف دیگر Low باشد، مقدار ولتاژ نود X توسط ولتاژHigh تعیین می شود. بنابراین برای قطع بودن طرف بازنده باید رابطه ۱ صادق باشد:

$$V_{low} - (V_x)_{max} < V_{tn} \quad => \quad V_{low} < (V_x)_{max} + V_{tn}$$

$$(V_x)_{max} = V_{High} - V_{tn} - (\Delta V)_{sw}$$

$$\boxed{(\Delta V)_{sw} < V_{High} - V_{low}} \qquad (۱)$$

که $(\Delta V)_{SW}$ مقدار ولتاژ اوردرایوری است که با عبور کل جریان از یک سوییچ ایجاد می شود.

در بدترین حالت که تمام منابع جریان جریان ها را به یک طرف هدایت می کنند، و ولتاژ خروجی حداقل می شود، باید ترانزیستورهای ورودی در ناحیه اکتیو باشند. بنابراین باید رابطه ۲صادق باشد.

$$V_{GD} < V_{tn} \quad => \quad (V_G)_{max} < (V_D)_{min} + V_{tn}$$

$$(V_D)_{min} = V_{DD} - (16 \times 16 + 8 + 4 + 2 + 1).I_{unit}.R = V_{DD} - 271\,R.I_{unit}$$

$$\boxed{V_{High} < V_{DD} + V_{tn} - 271\,R.I_{unit}} \qquad (۲)$$

1-Luo et al[45]
1-Saturate
2-Andersson[18]

برای عملکرد صحیح مدار باید هر دو ترانزیستور منبع جریان در ناحیه اکتیو باشند. بنابراین باید شرط رابطه ۳رعایت شود.

$$V_{High} > 2\Delta V_{cas} + V_{tn} + \Delta V_{sw} \quad (۳)$$

طراحی برای سوییچینگ دیفرانسیلی حدود 800Mv انجام شده است. با فرض مقاومت بار ۵۰ اهم برای هر طرف مقدار ولتاژ LSB برای ۸ بیت حدود 3. 125Mv بدست می آید. بنابراین جریان واحد حدودا برابر ۳۱. ۲۵ میکروآمپر بدست می آید.

$$I_{LSB} = 31.25\ \mu A \quad => \quad I_{Unitary} = 16 \times 31.25\ \mu A = 500\ \mu A$$

با توجه به روابط ذکر شده مقادیر زیر برای منبع جریان و سوییچ های دیفرانسیلی انتخاب می شوند:

$$V_{High} - V_{Low} = 1.5\,\Delta V_{sw} = 0.8\,V$$

$$\Delta V_{sw} = 0.5\,V \;=>\; I = \frac{1}{2}\beta_n \Delta V_{sw}{}^2 \;=>\; \left(\frac{W}{L}\right)_{sw} = 24 \;=>\; \boxed{W_{sw} = 8.5\mu\ ,\ L_{sw} = 0.35\mu}$$

سایز سوییچ های ورودی هر چه کوچکتر باشد اثر Clock Feed Through کمتری روی نود خروجی دارد.

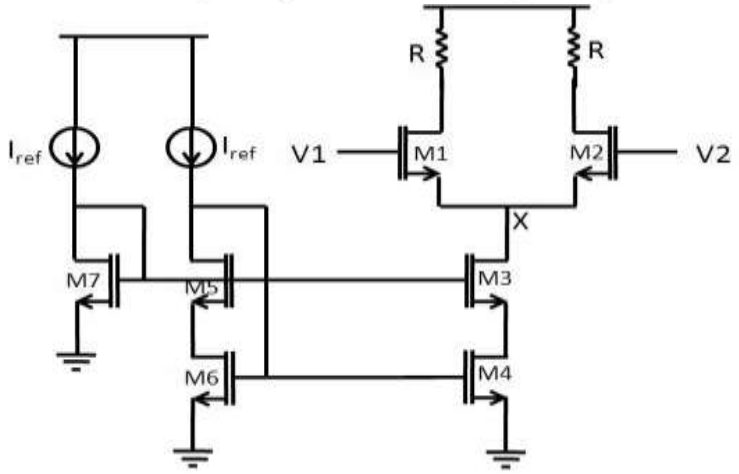
برای منابع جریان داریم:

$$\Delta V_{cas} = 0.25\,V \;=>\; I_{cas} = \frac{1}{2}\beta_n \Delta V_{cas}{}^2 \;=>\; \left(\frac{W}{L}\right)_{cas} = 97 \;=>\; \boxed{W_{cas} = 34\mu\,, L_{cas} = 0.35\mu}$$

مدار بایاس منابع جریان در شکل۲نمایش داده شده است. برای عناصر این مدار روابط زیر برقرار است:

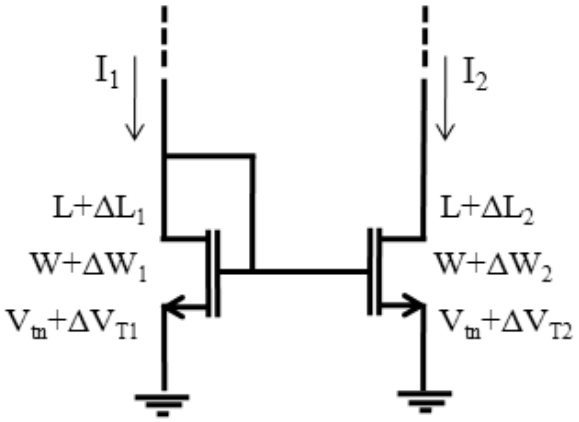
$$W_7 = 6\,\mu \quad , \quad W_5 = W_6 = W_4 = W_3 = 34\mu \quad , \quad W_1 = W_2 = 6\mu$$

$$\Delta V_7 = 450mV \ , \ \Delta V_1 = \Delta V_2 = 450mV \ , \ \Delta V_3 = \Delta V_4 = 200mV \ , \ \Delta V_5 = \Delta V_6 = 200mV$$



شکل ۲: مدار بایاس و منبع جریان

برای بررسی اثر خطای طول و عرض ترانزیستور و تغییرات ولتاژ آستانه بر تطابق جریان ها در آینه جریان، می توان از مدل شکل ۳ استفاده کرد.



شکل ۳: مدلسازی خطای پروسه و خطای ولتاژ آستانه

رابطه جریان برای دو طرف عبارت است از:

(۴)

$$I_1 = \frac{1}{2}\beta_{n1}(V_{GS} - V_{T1})^2(1 + \lambda_1 V_{ds1})$$

(۵)

$$I_2 = \frac{1}{2}\beta_{n2}(V_{GS} - V_{T2})^2(1 + \lambda_2 V_{ds2})$$

با کاسکود در نظر گرفتن منابع جریان تغییرات ولتاژ درین - کرد،

$$I_1 - I_2 = \frac{1}{2}\mu_n C_{ox}\left[\frac{W+\Delta W_1}{L+\Delta L_1}(\Delta V - \Delta V_{T1})^2(1+\lambda_1 V_{ds}) - \frac{W+\Delta W_2}{L+\Delta L_2}(\Delta V - \Delta V_{T2})^2(1+\lambda_2 V_{ds})\right]$$

$$= \frac{1}{2}\mu_n C_{ox}\frac{W}{L}(\Delta V)^2\left[\frac{1+\frac{\Delta W_1}{W}}{1+\frac{\Delta L_1}{L}}\left(1-\frac{\Delta V_{T1}}{\Delta V}\right)^2\left(1+\frac{\alpha V_{ds}}{L+\Delta L_1}\right) - \frac{1+\frac{\Delta W_2}{W}}{1+\frac{\Delta L_2}{L}}\left(1-\frac{\Delta V_{T2}}{\Delta V}\right)^2\left(1+\frac{\alpha V_{ds}}{L+\Delta L_2}\right)\right]$$

$$= \frac{1}{2}\beta_n(\Delta V)^2(1+\lambda V_{ds})\left[\frac{1+\frac{\Delta W_1}{W}}{1+\frac{\Delta L_1}{L}}\left(1-\frac{\Delta V_{T1}}{\Delta V}\right)^2\left(\frac{1+\frac{\alpha V_{ds}}{L}+\frac{\Delta L_1}{L}}{\left(1+\frac{\Delta L_1}{L}\right)\left(1+\frac{\alpha V_{ds}}{L}\right)}\right) - \frac{1+\frac{\Delta W_2}{W}}{1+\frac{\Delta L_2}{L}}\left(1-\frac{\Delta V_{T2}}{\Delta V}\right)^2\left(\frac{1+\frac{\alpha V_{ds}}{L}+\frac{\Delta L_2}{L}}{\left(1+\frac{\Delta L_2}{L}\right)\left(1+\frac{\alpha V_{ds}}{L}\right)}\right)\right]$$

با ظاهر شدن ترم جریان مشترک دو شاخه و نامگذاری آن به I_0، اگر $\Delta I/I_0$ که بیانگر نسبت تغییرات منبع جریان است را E_I، $\Delta W/W$ که معرف نسبت خطای سایز ترانزیستور است را E_W، $\Delta L/L$ که بیانگر خطای پروسه در ساخت عرض ترانزیستور است را E_L و $\Delta VT/VT$ یعنی نسبت تغییرات ولتاژ آستانه را E_{VT} بنامیم، آنگاه رابطه ۶ بدست می آید (دیووجل و دیگران ۲۰۰۴)[۱۱].

(۶)

$$E_I = \frac{1+E_{W1}}{1+E_{L1}}(1-E_{VT1})^2\left[\frac{1+\frac{\alpha V_{ds}}{L}+E_{L1}}{(1+E_{L1})\left(1+\frac{\alpha V_{ds}}{L}\right)}\right] - \frac{1+E_{W2}}{1+E_{L2}}(1-E_{VT2})^2\left[\frac{1+\frac{\alpha V_{ds}}{L}+E_{L2}}{(1+E_{L2})\left(1+\frac{\alpha V_{ds}}{L}\right)}\right]$$

(۷)

$$= \frac{1}{\left(1+\frac{\alpha V_{ds}}{L}\right)}\left[\frac{(1+E_{W1})(1-2E_{VT1}+E_{VT1}^2)}{(1+E_{L1})}\left(1+\frac{\alpha V_{ds}}{L(1+E_{L1})}\right) - \frac{(1+E_{W2})(1-2E_{VT2}+E_{VT2}^2)}{(1+E_{L2})}\left(1+\frac{\alpha V_{ds}}{L(1+E_{L2})}\right)\right]$$

1-D

$$E_I = \frac{1}{(L+\alpha V_{ds})}\left[\frac{L(1+E_{W1}-2E_{VT1}+E_{L1})+\alpha V_{ds}(1+E_{W1}-2E_{VT1})}{1+2E_{L1}} - \frac{L(1+E_{W2}-2E_{VT2}+E_{L2})+\alpha V_{ds}(1+E_{W2}-2E_{VT2})}{1+2E_{L2}}\right]$$

(۸)

با فرض مرجع $E_I = \frac{(E_{W1}-E_{W2})+2(E_{VT2}-E_{VT1})+2(E_{L2}-E_{L1})+\frac{E_{L1}-E_{L2}}{(1+\lambda V_{ds})}}{(1+2E_{L1}+2E_{L2})}$ ، آید.

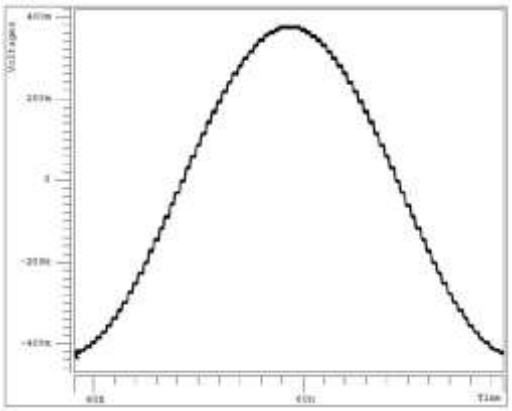
(۹)

$$E_I = \frac{2E_{VT2}-E_{W2}}{1+2E_{L2}} + \frac{E_{L2}(1+2\lambda V_{ds})}{(1+2E_{L2})(1+\lambda V_{ds})} = \boxed{\frac{2E_{VT2}-E_{W2}}{1+\frac{2\Delta L_2}{L_1}} + \left[\frac{1}{2+\frac{L_1}{\Delta L_2}} . \left(1+\frac{1}{1+\frac{L_1}{\alpha V_{ds}}}\right)\right]}$$

با توجه به رابطه ۹ می توان تاثیر مستقیم سایز ترانزیستورهای آینه جریان را بر خطای نسبی جریان ها مشاهده کرد. تاثیر خطای ولتاژ آستانه در ترم اول و تاثیر مقدار ولتاژ درین – سورس بر ناهمخوانی منابع در ترم دوم مشاهده می شود. با افزایش L ترم اول افزایش یافته و ترم دوم کاهش می یابد، که اثر کاهشی ترم دوم غالب است. از طرفی خطای جریان ناشی از تغییرات ولتاژ آستانه با افزایش L افزایش می یابد. خطای جریان ممکن است ناشی از خطای پروسه در ساختن W های یکسان باشد. این اثر نیز تنها در ترم اول مشاهده شده و با افزایش مقدار L افزایش می یابد. بنابراین با کاهش مقدار L اثر ناهمخوانی منابع جریان ناشی از خطای پروسه ساخت و تغییرات ولتاژ آستانه تضعیف می شود ولی در کل تطابق منابع جریان کاهش می یابد(اندرسون ۲۰۰۵)[۱۲].

تحلیل مونت کارلو

برای تحلیل مونت کارلو می توان مقدار ولتاژ آستانه را برای ترانزیستورهای منبع جریان تا ۱۰ میلی ولت کم و زیاد کرد و اثر آن را بر مقدار جریان و در نهایت FFT خروجی مشاهده کرد. به دلیل مشکل بودن تغییرVtn برای تک تک ترانزیستورها در مدل مورد استفاده، این تغییرات با توزیع خطا روی سایز ترانزیستورهای منبع جریان ایجاد شده است. توزیع مونت کارلو روی تک تک سایزها با انتخاب پنج مقدار به صورت Random بر مبنای تابع توزیع احتمال گوسین صورت گرفته است. مقدار سیگما در این توزیع به گونه ای تعیین شده که جریان ها تا ۱۰ درصد مقدار واقعی دچار خطا شوند.

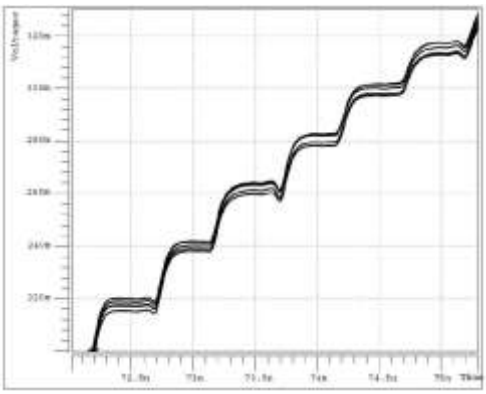


شکل ۴:نمایش شکل موج خروجی مبدل در پاسخ به ورودی سینوسی دیجیتالیزه شده با فرکانس ۲۳/۴۳۷۵ مگاهرتز

نتیجه خروجی مبدل در پاسخ به این ۵ انتخاب اتفاقی در شکل ۴ در یک دستگاه نمایش داده شده است. برای وضوح روی قسمتی از نمودار عمل بزرگنمایی انجام شده و در شکل ۴ به تصویر کشیده شده است. با توجه به اینکه مقدار جریان های

1-Andersson[11]

منابع جریان در این طراحی برابر ۵۰۰ میکروآمپر است، توزیع مونت کارلو پنج مقدار اتفاقی در رنج ۴۷۵ و ۵۲۵ میکروآمپر را برای هر منبع جریان انتخاب می کند. با توجه به شکل ۴ پرواضح است که فاکتور SNR برای ۵ حالت مختلف دستخوش تغییر خواهد شد. به همین منظور یکبار شبیه سازی با ۵ درصد خطا و بار دیگر با ۱۰ درصد خطای منابع جریان انجام شده و مقدار SNR با نمونه گیری ۱۲۸ نمونه برای هر توزیع و هر بار برای ۵ حالت اندازه گیری شده و نتایج آن به صورت خلاصه در جدول ارایه شده است.



شکل ۵: شبیه سازی مبدل در پاسخ به ۵ نمونه اتفاقی با توزیع گوسین

	انتخاب اول	انتخاب دوم	انتخاب سوم	انتخاب چهارم	انتخاب پنجم
٪۵ خطای جریان	> 48.76 dB < 49.08 dB	> 49.07 dB < 49.50 dB	> 49.61 dB < 49.99 dB	> 48.18 dB < 48.60 dB	> 48.80 dB < 49.04 dB
٪۱۰ خطای جریان	> 46.70 dB < 46.95 dB	> 47.50 dB < 47.86 dB	> 48.55 dB < 49.94 dB	> 45.17 dB < 45.46 dB	> 47.00 dB < 47.21 dB

جدول۱: مقادیر SNR برای انتخاب های مختلف در تحلیل مونت کارلو

مشاهده می شود که برای بدترین انتخاب در حالت ۱۰ درصد خطای منبع جریان، تعداد بیت های موثر به ۷/۲ بیت کاهش می یابد که این مقدار با توجه به انتخاب بسیار سخت گیرانه در خطای منبع جریان، قابل قبول به نظر می رسد. بنابراین می توان نتیجه گرفت که اگر به هر دلیلی بین منابع جریان تا سقف ۱۰ درصد خطا در هر جهتی اتفاق بیفتد، تعداد بیت های موثر می تواند تا ۷/۲ بیت کاهش یابد.

جدول ۲ بیانگر جمع آوری کلیه شبیه سازی ها در فرکانس نمونه برداری ۲/۵ گیگاهرتز است. فرکانس ورودی از ۱۱/۷ مگاهرتز تا نرخ نایکوییست در چهار سطح Sweep شده و مقادیر SNR، SFDR و توان مصرفی در این فرکانس ها اندازه گیری شده و در جدول ۱ نمایش داده شده است.

جدول۲: اندازه گیری مقادیر SFDR،SNR و توان مصرفی در فرکانس های مختلف

F_{clk}=2.5 GHz	11.71875 MHz	307.61718 MHz	620.11718 MHz	1.245117 GHz
SNR	49.4 dB	47.5 dB	46.3 dB	44.4 dB
SFDR	57 dB	63 dB	63 dB	54 dB
I_{vdd}- Anlg	10.3 mA	10.3 mA	10.5 mA	10.5 mA
I_{vdd}- Dig	15 mA	44 mA	55.5 mA	21.14 mA
Pow_Cons	83.5 mw	163 mw	218 mw	105 mw

Fclk:فرکانس ورودی SNR:نسبت سیگنال به نویز SFDR : رنج دینامیکی بدون خطا

Ivdd-Anlg:جریان تغذیه آنالوگ Ivdd-dig:جریان تغذیه دیجیتال pow-Cons:توان مصرفی

همانگونه که در جدول ۵-۱ مشاهده می شود، مقدار SNR در فرکانس های پایین به حداکثر مقدار خود یعنی 49. 4 Db می رسد. حداقل مقدار آن در حوالی نرخ نایکوییست بدست می آید و برابر 44. 4Db می باشد. جریان متوسطی که از تغذیه آنالوگ کشیده می‌شود تقریبا در همه فرکانس ها ثابت است. علت این امر دیفرانسیلی بودن بخش آنالوگ و هدایت جریان ثابت در مسیرهای مختلف است. جریان متوسطی که از تغذیه دیجیتال کشیده می شود، در فرکانس های بالاتر افزایش می یابد که این مساله با توجه به رابطه مستقیم توان مصرفی دیجیتال با فرکانس قابل پیش بینی است. تنها اختلاف بین فرکانس های ۶۲۰ مگاهرتز و نایکوئیست مشاهده می‌شود. اگر DAC یک کاناله استفاده می شد، انتظار می رفت در نرخ نایکوییست بیشترین توان را نسبت به سایر فرکانس ها مصرف کند. زیرا در این فرکانس تمامی خروجی های دیجیتال با هم صفر و یک می شوند و بیشترین نرخ تغییرات دیجیتال در همین فرکانس اتفاق می افتد. در صورتی که در DAC دو کاناله چون داده به صورت یک در میان بین کانال ها سوییچ می شود، هر کانال حداکثر تغییرات را در نرخ نایکوییست درخود نمی بیند. بنابراین نمی توان انتظار حداکثر توان مصرفی را در نرخ نایکوییست داشت.

منحنی های مقایسه پارامترهای کار انجام شده با کارهای قبلی:

کارهای انجام شده	1 (هگانگ و دیگران) 2015[1]	2 (دویوجل و دیگران) 2004[21]	3 (وندن بوش و دیگران) 2001[17]	4 (رینولدز) 1994[23]	5 (This Work) 2017
توان (mw)	1. 8	5	110	1540	218

شکل ۶ منحنی مقایسه توان مدار کار انجام شده با کارهای قبلی

1- Hegang et al [1]
2- Deveugele et al [21]
3- Van den Bosch et al 17]
4- Reynolds [23]

کارهای انجام شده	1 (هگانگ و دیگران) 2015[1]	2 (دویوجل و دیگران) 2004[21]	3 (وندن بوش و دیگران) 2001[17]	4 (رینولدز) 1994[23]	5 (This Work) 2017
تعداد بیت	14	6	10	8	8

شکل ۷ منحنی مقایسه تعداد بیت مبدل کارانجام شده با کارهای قبلی

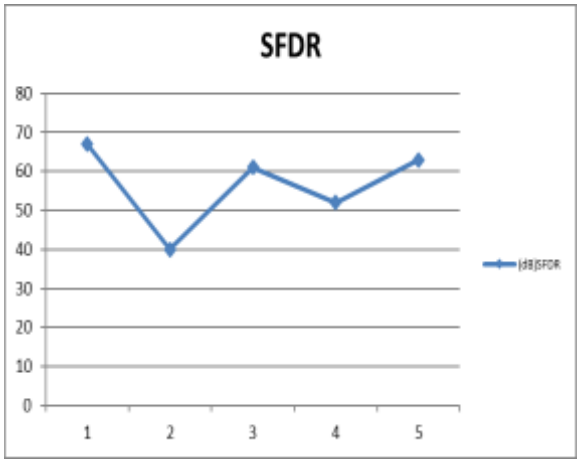
(تعداد)

کارانجام شده

کارهای انجام شده	1 (هگانگ و دیگران) 2015[1]	2 (دویوجل و دیگران) 2004[21]	3 (وندن بوش و دیگران) 2001[17]	4 (رینولدز) 1994[23]	5 (This Work) 2017
تعداد کانال	1	2	1	3	2

شکل ۸ منحنی مقایسه تعداد کانال مبدل کارانجام شده با کارهای قبلی

(dB)



1- Hegang et al [1]
2- Deveugele et al [21]
3- Van den Bosch et al 17]
4- Reynolds [23]
1- Hegang et al [1]
2- Deveugele et al [21]
3- Van den Bosch et al 17]
4- Reynolds [23]

کارانجام شده

کارهای انجام شده	1 (هگانگ و دیگران) 2015[1]	2 (دویوجل و دیگران) 2004[21]	3 (وندن بوش و دیگران) 2001[17]	4 (رینولدز) 1994[23]	5 (This Work) 2017
SFDR(db)	67	40	61	52	63

شکل ۹ منحنی مقایسه SFDR مبدل کار انجام شده با کارهای قبلی

در منحنی های رسم شده در بالا مشاهده می کنیم که هرچه تعداد کانال ها افزایش یابد توان مصرفی افزایش یافته و نیز مساحت تراشه ی مبدل نیز افزایش می یابد، مقدار SFDR به عنوان یک پارامتر دینامیکی نسبت به تعداد کانال بکار رفته و نیز سرعت بسیار بالای مبدل مقدار قابل قبول نیز دارد.

مقایسه کار انجام شده با کارهای گذشته:

جدول ۳: مقایسه کار انجام شده با کارهای گذشته

	1994[۱۶] (رینولدز)	2001[۱۵] **(وندن بوش و دیگران)**	2004[۱۴] (دویوجل و دیگران)	2015[۱۳] (هگانگ و دیگران)	2017 This Work
پروسه	0. 8میکرون	0. 35 میکرون	0. 18 میکرون	0. 18 میکرون	0. 35میکرون
فرکانس کاری	320 مگا	1گیگا	250 مگا	2. 5 گیگا	2. 8 گیگا
توان	1. 54w/5v	110mw/3v	5mw/1. 8v	1. 8mw/3. 3v	218mw/3. 3v
تعداد کانال	3	۱	۲	۱	۲
تعداد بیت	8	۱۰	6	۱۴	8
SFDR	52 dB	۶۱ dB	40dB	67dB	63dB
مساحت	$100mm^2$	$0. 35mm^2$	$0. 14mm^2$	$0. 11mm^2$	$0. 54mm^2$

نتایج جدول ۳به صورت مزایا و معایب زیر خلاصه می شود.

مزایا:

۱- چون این مدار سرعت آن بالا می باشد (۲,۸میلیارد نمونه در ثانیه) معمولا در کاربردهای فضایی وهوایی و مخابراتی استفاده می شود.

۲- مقدار قابل قبول پارامترهای دینامیکی مدار از جمله رنج دینامیکی بدون خطا (SFDR) که مقدار63dB بدست آمده است و نسبت سیگنال به نویز SNR که مقدار ۴۹,۴ dB بدست آمده است که نشان دهنده عملکرد و کیفیت مناسب DAC می باشد.

۳- افزایش سرعت کار مبدل به حدود دو برابر به خاطر استفاده از ساختار دو کاناله

۴- دقت بالای کار مبدل که دارای هشت بیت می باشد.

معایب :

۱- توان مصرفی نسبتا بالایی را دارا می باشد.

۲- افزایش مساحت تراشه به بیش از دو برابر با توجه به دو کاناله بودن مساحت زیادی را اشغال می کند.

1- Hegang et al [1]
2- Deveugele et al [21]
3- Van den Bosch et al 17]
4- Reynolds [23]
1- Hegang et al [1]
2- Deveugele et al [21]
3- Van den Bosch et al 17]
4- Reynolds [23]

منابع

[1]- Hegang Hou, Zongmin Wang, Ying Kong, Xinmang Peng, Haitao Guan, Jinhao Wang, Yan Ren " A 14-bit 2. 5 GS/s DAC based on Multi-Clock Synchronization" Beijing Microelectronics Technology Institute, Beijing, China, Joint International Mechanical, Electronic and Information Technology Conference 2015.

[2]- Santanu Sarkar, Swapna Banerjee, "An 8-bit 1. 8 V 500 MSPS CMOS Segmented Current Steering DAC," isvlsi, pp. 268-273, 2009 IEEE Computer Society Annual Symposium on VLSI.

[3]- K. Doris and A. V. Roermund, "WIDE-BANDWIDTH HIGH DYNAMIC RANGE D/A CONVERTERS", Springer, Netherlands, 2006, ISBN-10 0-387-30416-9 (e-book).

[4]- D. A. Johns and K. Martin, "Analog Integrated Circuit Design", John Wiley & Sons, New York, USA, 1997, ISBN 0-471-14448-7.

[5]- B. Razavi, "Design of Analog CMOS Integrated Circuits", McGraw-Hill, New York, NY, USA, 2000, ISBN 0-07-238032-2.

[6]- M. Gustavsson, J. J. Wikner, and N. Tan, "CMOS DATA CONVERTERS FOR COMMUNATIONS", Kluwer Academic Publishers, Boston, MA, USA, 2000, ISBN 0-7923-7780-X.

[7]- R. J. van de Plassche, "INTEGRATED ANALOG-TO-DIGITAL AND DIGITAL-TOANALOG CONVERTERS", Kluwer Academic Publishers, Boston, MA, USA, 1994, ISBN 0-7923-9436-4.

[8]- J. Jacob Wikner, "STUDIES ON CMOS DIGITAL-TO-ANALOG CONVERTERS", Department of Electrical Engineering Linköpings universitet, SE-581 83 Linköping, 2001

[9]- Bruce Wooley, Katelijn Vleugels, "VLSI DATA CONVERSION CIRCUITS", Department of Electrical Engineering, Stanford University, Spring 2001-2002

[10]- Walt Kester, "DATA CONVERSION HANDBOOK", Elsevier, With the Technical Staff of Analog Devices, 2005

[11]- K Ola Andersson, "MODELING AND IMPLEMENTATION OF CURRENT-STEERING DIGITAL-TO-ANALOG CONVERTERS", Department of Electrical Engineering Linköpings university, SE-581-83 Linköping, Sweden, May 2005

[12]- Behzad Razavi, "PRINCIPLES OF DATA CONVERSION SYSTEM DESIGN", IEEE Press, New York, 1995

[13]-J. W. Bruce, "Nyquist-rate digital-to-analog converter architectures", IEEE Potentials, vol. 20, no. 3, pp. 24-28, Aug. -Sept. 2001.

[14]- J. C. Candy and G. C. Temes (Editors), "OVERSAMPLING DELTA-SIGMA DATA CONVERTERS: THEORY, DESIGN, AND SIMULATION", IEEE Press, New York, USA, 1991, ISBN 0-87942-285-8.

[15]- M. J. M. Pelgrom, A. C. J. Duinmaijer, and A. P. G. Welbers, "Matching properties of OS transistors", IEEE J. Solid-State Circuits, vol. 24, no. 5, pp. 1433-1439, Oct. 1989.